

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-329914
 (43)Date of publication of application : 30.11.1999

(51)Int.Cl.

H01L 21/02
 H01L 21/027
 H01L 21/302
 H01L 23/00

(21)Application number : 10-133368

(22)Date of filing : 15.05.1998

(71)Applicant : NEC CORP

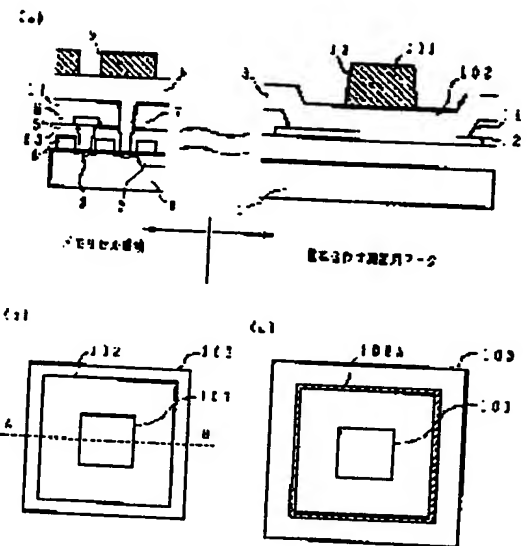
(72)Inventor : SAKO TAKASHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and a method of manufacturing therefor, of which the measurement errors are reduced when positional relations between a mark formed on a semiconductor and a mark formed by a resist for forming the resist pattern for patterning at the exact position.

SOLUTION: In a semiconductor device which is provided with marks 101 and 102 for overlap measurement, the mark 102 is formed U-shaped in cross section, and the mark 102 is formed on an etching stopper 12. Accordingly, when the second mark 102 is viewed from above, the edge of the second mark 102 is seen narrow, and an optically sharp waveform can be obtained. Similarly, a sharp waveform is obtained because the first mark 101 on the second mark 102 has a low height. Thus, the measurement errors can be reduced, and the resist pattern can be laid out at the exact position.



LEGAL STATUS

[Date of request for examination] 15.05.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3159168

[Date of registration]

16.02.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-329914

(43) 公開日 平成11年(1999)11月30日

(51) Int. Cl. ⁶	識別記号	F I	
H 0 1 L	21/02	H 0 1 L	21/02 A
	21/027		23/00 A
	21/302		21/30 5 0 2 M
	23/00		21/302 Z

審査請求 有 請求項の数 7 O L (全 7 頁)

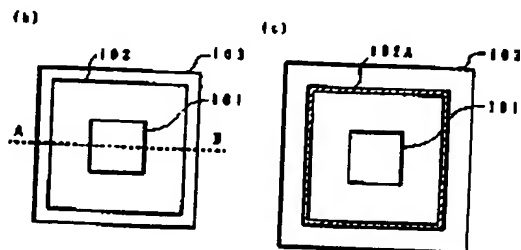
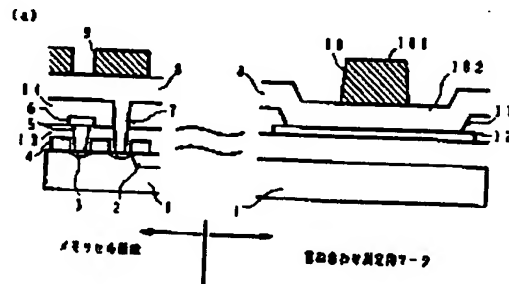
(21) 出願番号	特願平10-133368	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成10年(1998)5月15日	(72) 発明者	佐甲 庸 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74) 代理人	弁理士 畑 泰之

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 パターニング用のレジストパターンを正確な位置に形成するために、半導体上に形成したマークとレジストで形成したマークとの位置関係を測定する際、測定誤差を少なくした半導体装置とその製造方法を提供する。

【解決手段】 重ね合わせ測定用のマーク101、102を備えた半導体装置において、前記マーク102は断面凹状に形成され、且つ、前記マーク102はエッチングストッパ12上に形成されていることを特徴とする。



パンタコンタクトホール27内部を含む全面にリンドープポリシリコン膜28が形成され、その上にキャパシタ下部電極を形成するためのレジストパターン29が存在する構造となっている。これに対し、重ね合わせ測定用マークは測定に用いられる上地マークは、キャパシタ下部電極用レジストパターン29と同時に形成されたレジストパターン30により形成され、下地マーク31はキャパシタコンタクトホール27と同時に開孔され、且つ、シリコン基板21まで到達するパターン31により構成されている。

【0006】図6(a)からわかるようにコンタクトホール27と同時に形成される下地マークパターン31は第2及び第1層間絶縁膜34、33を貫通しシリコン基板21まで到達する。ここで、下地マーク31は、シリコン基板と高選択性の得られるコンタクトエッチング条件ではボックスマークのような広いパターンではかなり緩やかなテーパ形状となる。これを上面から見ると図6(c)に示したような幅の広いエッジとなっているので、自動目ずれ測定でのエッジ波形のピークが緩やかになり測定誤差が発生しやすい。又、キャパシタ下部電極用レジストパターン29と同時に形成される上地マーク30は、かなり大きな段差とテーパを有して形成されるため露光時にベストフォーカスから大きくずれる。

【0007】従ってこれを上面から見ると幅の広いエッジ101a、102aとなっているので、自動目ずれ測定でのエッジ波形のピークが緩やかになり測定誤差が発生しやすいという欠点があった。

【0008】

【発明が解決しようとする課題】本発明の目的は、上記した従来技術の欠点を改良し、特に、パターニング用のレジストパターンを正確な位置に形成するために、半導体上に形成したマークとレジストで形成したマークとの位置関係を測定する際、測定誤差を少なくし、以て、半導体装置の生産効率を向上せしめた新規な半導体装置とその製造方法を提供するものである。

【0009】

【課題を解決するための手段】本発明は上記した目的を達成するため、基本的には、以下に記載されたような技術構成を採用するものである。即ち、本発明に係わる半導体装置の第1態様は、重ね合わせ測定用のマークを備えた半導体装置において、前記マークは断面凹状に形成され、且つ、前記マークはエッチングストップパ上に形成されていることを特徴とするものであり、又、第2態様は、パターニング用のレジストパターンを正確な位置に形成するために、前記レジストパターンで形成した第1のマークを半導体装置上に形成した第2のマーク上に重ね合わせ、前記第1及び第2のマークを用いて重ね合わせ測定を行う半導体装置において、前記半導体装置に設けられた前記エッチングストップパと、このエッチングストップパ上の第1の膜をエッチングして形成した開孔パタ

ーンと、この開孔パターンを含む全面に形成した第2の膜と、前記第2の膜で前記開孔パターン上に形成された前記第2のマークと、前記第2のマーク上に形成した前記レジストパターンで形成された前記第1のマークと、で構成したことを特徴とするものであり、又、第3態様は、前記エッチングストップパは、配線層であることを特徴とするものであり、又、第4態様は、前記マークは、ボックスインボックス構造を有するマークであることを特徴とするものであり、又、第5態様は、前記マークは、ノギス型構造を有するマークであることを特徴とするものである。

【0010】又、本発明に係わる半導体装置の製造方法の第1態様は、パターニング用のレジストパターンを正確な位置に形成するために、前記レジストパターンで形成した第1のマークを半導体装置上に形成した第2のマーク上に重ね合わせ、前記第1及び第2のマークを用いて重ね合わせ測定を行う半導体装置において、第1の膜上に配線層を形成すると共にエッチングストップパを形成する第1の工程と、前記配線層上に第2の膜を形成する第2の工程と、前記第1、第2の膜をエッチングすると共に、前記エッチングストップパ上に開孔パターンを形成する第3の工程と、前記開孔パターンを含む全面に第3の膜を堆積させ前記第2のマークを形成する第4の工程と、前記第3の膜上にレジストパターンを形成すると共に、前記レジストパターンで形成した前記第1のマークを前記第2のマーク上に重ね合わせる第5の工程と、を含むことを特徴とするものであり、又、第2態様は、前記エッチングストップパは、配線層であることを特徴とするものである。

【0011】

【発明の実施の形態】本発明に係わる半導体装置は、パターニング用のレジストパターンを正確な位置に形成するために、前記レジストパターンで形成した第1のマークを半導体装置上に形成した第2のマーク上に重ね合わせ、前記第1及び第2のマークを用いて重ね合わせ測定を行う半導体装置において、前記半導体装置に設けられた前記エッチングストップパと、このエッチングストップパ上の第1の膜をエッチングして形成した開孔パターンと、この開孔パターンを含む全面に形成した第2の膜と、前記第2の膜で前記開孔パターン上に形成された前記第2のマークと、前記第2のマーク上に形成した前記レジストパターンで形成された前記第1のマークと、で構成したことを特徴とするものであから、第2のマークを上方から見たとき、第2のマークのエッジが緩くなり光学的にはっきりとした波形が得られる。又、同様に、第2のマーク上の第1のマークの高さも低くなるから、はっきりとしたエッジの波形が得られる。この為、測定誤差が少なくなり、レジストパターンを正確な位置に配置することが可能になる。

【0012】

【実施例】以下に、本発明に係わる半導体装置とその製造方法の具体例を図面を参照しながら詳細に説明する。図1は、本発明に係わる半導体装置の具体例の構造を示す図であって、これらの図には、重ね合わせ測定用のマーク101、102を備えた半導体装置において、前記マーク102は断面凹状に形成され、且つ、前記マーク102はエッチングストップ12上に形成されている半導体装置が示されている。

【0013】又、パターンニング用のレジストパターン9を正確な位置に形成するために、前記レジストパターン9で形成した第1のマーク101を半導体装置上に形成した第2のマーク102上に重ね合わせ、前記レジストパターン9で所定のエッチングを行う半導体装置において、前記半導体装置に設けられた前記エッチングストップ12と、このエッチングストップ12上の第1の膜14をエッチングして形成した開孔パターン11と、この開孔パターン11を含む全面に形成した第2の膜8と、前記第2の膜8で前記開孔パターン11上に形成された前記第2のマーク102と、前記第2のマーク102上に形成した前記レジストパターンで形成された前記第1のマーク101と、で構成した半導体装置が示されている。

【0014】更に、図1～図3には、第1の膜13上に配線層6を形成すると共にエッチングストップ12を形成する第1の工程と、前記配線層6上に第2の膜14を形成する第2の工程と、前記第1、第2の膜13、14をエッチングすると共に、前記エッチングストップ12上に開孔パターン11を形成する第3の工程と、前記開孔パターン11を含む全面に第3の膜8を堆積させ前記第2のマーク102を形成する第4の工程と、前記第3の膜8上にレジストパターン9を形成すると共に、前記レジストパターンで形成した前記第1のマーク101を前記第2のマーク102上に重ね合わせる第5の工程と、を含む半導体装置の製造方法が示されている。

【0015】次に、本発明を更に詳細に説明する。本具体例では、COB (Capacitor Over Bit Line) 構造を有するDRAMを例としてキャパシタコンタクト上の所定の位置にキャパシタ下部電極を形成するためのレジストパターンを位置決めするための重ね合わせ測定用マークについて説明する。

【0016】図1(b)は、本具体例の重ね合わせ測定用マークのレイアウト図であり、一番内側にある正方形は上地マーク101であり、本具体例ではメモリセルのキャパシタ下部電極と同一の層上にレイアウトされ、また内側から二番目の正方形は下地マーク102であり、この下地マークはビット線が形成される配線層上にレイアウトされる。また、内側から三番目の正方形103は下地マークを形成する際のエッチングストップ12であり、ビット線と同一の層にレイアウトされている。図1(a)はメモリセル領域の断面構造及びマーク部分の

A-B断面を示す断面構造図である。この図では重ね合わせ測定時の構造を示しているため、キャパシタ下部電極は形成されておらず、キャパシタ下部電極を形成するためのレジストパターンが設けられている。

【0017】図1に示すように、メモリセル領域では素子分離酸化膜2及び拡散層領域3を有する半導体基板1上にワード線を構成するゲート電極4が存在し、さらにコンタクトプラグ5を介してビット線6が拡散層領域3に電気的に接続されており、またキャパシタコンタクトホール7内部を含む全面にリンドープポリシリコン膜8が形成され、その上にキャパシタ下部電極を形成するためのレジストパターン9が存在する構造となっている。これに対し、重ね合わせ測定用マークは測定に用いられる上地マーク101がキャパシタ下部電極用レジストパターン9と同時に形成された上地マークレジストパターン10により構成され、下地マーク102はキャパシタコンタクトホール7と同時に開孔された下地マーク開孔パターン11により構成され、その開孔パターン11が半導体基板1に到達しないように設けられたエッチングストップ12上に形成される構造となっている。

【0018】図2及び図3は、本具体例を説明するための各工程毎の断面図である。図2(a)に示すように、素子分離酸化膜2を有する半導体基板1上にゲート電極4及び拡散層領域3を形成する。層間絶縁膜13を形成した後、図2(b)、図3(a)に示すようにフォトリソグラフィの技術を用いて拡散層領域3に到達するビットコンタクトを開孔後、コンタクトプラグ5の形成を行う。そして図3(a)に示すようにビット線6を形成すると同時にキャパシタコンタクトーキャパシタ下部電極を重ね合わせ測定マークを形成する領域にエッチングストップ12を形成する。更に、層間絶縁膜14を形成した後、フォトリソグラフィの技術を用いて層間絶縁膜14、13をエッチングして、拡散層領域3に到達するキャパシタコンタクトホール7を開孔すると同時に重ね合わせ測定用下地マーク11をエッチングストップ12上に形成する。

【0019】この時、下地マーク開孔パターン11は、層間絶縁膜13上に形成されたエッチングストップ12でエッチングがとまり、層間絶縁膜13をエッチングすることではなく、浅い位置に下地マーク開孔パターン11が形成される。その後、全面にリンドープポリシリコン膜8を成膜した後、フォトリソグラフィの技術を用いてメモリセル領域にはキャパシタ下部電極形成用レジストパターン9を、重ね合わせ測定用下地マーク11上には上地マークレジストパターン10をそれぞれ形成することにより図1のような断面構造を得る。

【0020】図1(c)は本発明によるマークを上方からみた状態を示しているが、従来のものにくらべ、下地マークエッジ102Aが細くなり、更に上地マーク101も細くなり、光学的にはっきりした波形が得られるよ

うになっている。上記具体例より更に、下地マークの位置を浅くする方法として、図4(a)に示すように、ワード線を形成する際、下地マーク下方にパターン15を形成し、更に、その上にエッチングストッパ12を形成することで、下地マークの位置をより上方に形成することが出来る。

【0021】このようにすることで、メモリ領域とマーク部分の高さ関係が同一となるからより精度の高いマークを形成することが出来る。又、上記具体例では、直下のビット線層をエッチングストッパにしたが、図4(b)に示すようにワード線層と同時に形成したパターン15をエッチングストッパとしてもよい。

【0022】図5は本発明の他の重ね合わせマークを示す図である。図5に示すノギス型構造を有するマーク(以下、ノギスマークという)は、機械による自動測定ではなく人間の目による測定を行う際に用いられ、基本的に上記したボックスインボックス構造を有するマークと同じように使用される。なお、ノギスマークの場合、顕微鏡の焦点深度が小さいためにレジストパターンのエッジ(底部)が判別しにくくなるので、本発明を採

用した場合、より大なる効果が得られる。

【0023】上記したように、本発明では、図1のボックスマーク、図5のノギスマークを例に説明したが、重ね合わせ用測定マークであれば、どのようなマークでも、本発明を適用出来る。

【0024】

【発明の効果】本発明によれば、下地マークはエッチングの条件に依存してややテーパー形状になるものの、従来のものに較べて深さが浅いためテーパー目立ちにくくなる。従って下地マークエッジが従来のものに較べて細く光学的にはっきりした波形が得られるので、従来の技術よりも目ずれ測定時に測定誤差が生じにくい。

【0025】また、上地マークは従来の技術に較べて良い露光条件で形成されるために垂直形状となり、下地マ

ークと同様にマークエッジが従来の技術に較べて細くなり光学的にはっきりした波形が得られるので、従来のものよりも目ずれ測定時に測定誤差が生じにくい。

【図面の簡単な説明】

【図1】(a)は、本発明に係る半導体装置の断面図、(b)はマークレイアウトを示す図、(c)はマークを上方から見た図である。

【図2】本発明の半導体装置の製造工程を示す図である。

10 【図3】図2に続く製造工程を示す図である。

【図4】本発明の他の具体例を示す図である。

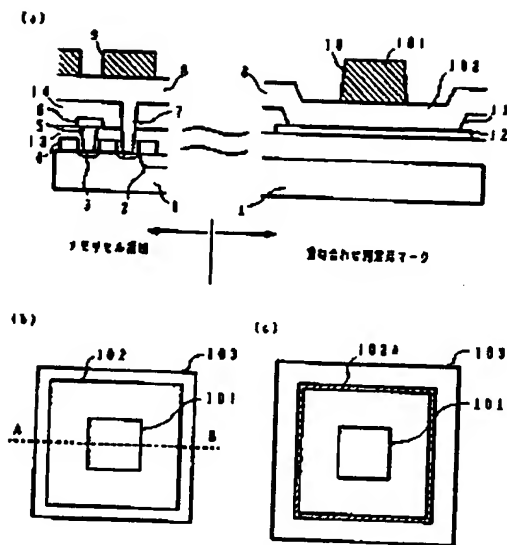
【図5】他の重ね合わせマークを示す図である。

【図6】(a)は、従来の半導体装置の断面図、(b)はそのマークレイアウトを示す図、(c)はマークを上方から見た図である。

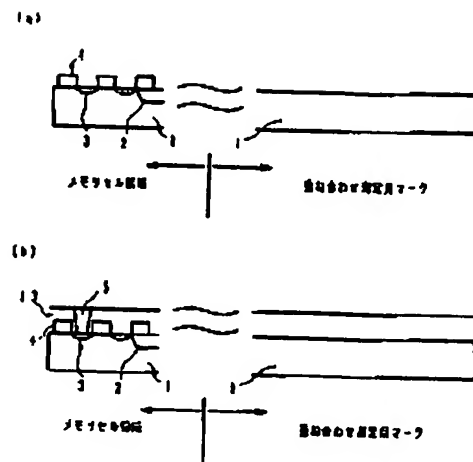
【符号の説明】

- | | |
|--------|------------------------|
| 1 | シリコン基板 |
| 2 | 素子分離酸化膜 |
| 3 | 拡散層領域 |
| 4 | ゲート電極 |
| 5 | コンタクトプラグ |
| 6 | ビット線 |
| 7 | キャパシタコンタクトホール |
| 8 | リンドープポリシリコン膜 |
| 9 | キャパシタ下部電極形成用レジストパターン |
| 10 | 上地マークレジストパターン |
| 11 | 下地マークパターン |
| 12 | エッチングストッパ(ビット線同層) |
| 13, 14 | 層間絶縁膜 |
| 15 | エッチングストッパパターン(ゲート電極同層) |
| 101 | 上地マーク |
| 102 | 下地マーク |

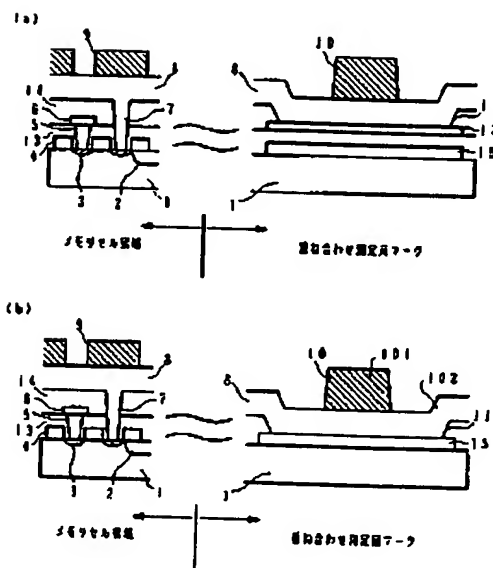
【図1】



【図2】



【図4】



【図3】

